



## KOREAN PATENT ABSTRACTS

(11)Publication number: **1020020041664 A**  
 (43)Date of publication of application: **03.06.2002**

(21)Application number: **1020000071340**

(22)Date of filing: **28.11.2000**

(71)Applicant:

**LG ELECTRONICS INC.  
POSTECH FOUNDATION**

(72)Inventor:

**CHO, WON GI  
HWANG, HUI YEONG  
JUNG, SU HWAN  
LEE, GEON HONG**

(51)Int. Cl

**H01J 1/30**

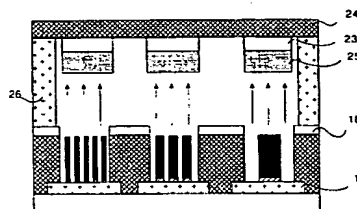
**(54) CARBON NANO TUBE FIELD EMISSION DEVICE AND METHOD FOR FABRICATING THE SAME**

**(57) Abstract:**

**PURPOSE:** A carbon nano tube field emission device and a method for fabricating the same are provided to concentrate efficiently an electric field and reduce the leakage current by using the carbon nano tube.

**CONSTITUTION:** A lower electrode(16) is formed on an upper portion of a lower substrate. An insulating layer is formed on the lower electrode(16). A gate electrode(18) is formed on the insulating layer. The lower electrode(16) is exposed by the gate electrode(18) and a hole of the insulating layer. A catalysis transition metal layer is formed on the exposed lower electrode(16)

by the gate electrode(18) and a hole of the insulating layer. A carbon nano tube emitter is grown on the catalysis transition metal layer. An anode electrode(23) and a fluorescent material are laminated on an upper substrate(24).



COPYRIGHT KIPO 2002

Legal Status

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01J 1/30

(11) 공개번호  
(43) 공개일자

특2002-0041664  
2002년06월03일

(21) 출원번호	10-2000-0071340
(22) 출원일자	2000년11월28일
(71) 출원인	엘지전자주식회사, 구자홍 대한민국 150-875 서울시영등포구여의도동20번지 학교법인 포항공과대학교, 정명식 대한민국 790-330 경북 포항시 남구 효자동 산31번지
(72) 발명자	조원기 대한민국 463-800 경기도성남시분당구구미동(무지개마을)LGAPT213동403호 이건홍 대한민국 790-784 경상북도포항시남구효자동포항공과대학교전자컴퓨터공학부 정수환 대한민국 790-784 경상북도포항시남구효자동포항공과대학교전자컴퓨터공학부 황희영 대한민국 790-784 경상북도포항시남구효자동포항공과대학교전자컴퓨터공학부
(74) 대리인	김영호
(77) 심사청구	없음
(54) 출원명	탄소 나노튜브 전계 방출 소자 및 그 제조 방법

요약

본 발명은 탄소 나노튜브를 이용하기에 적합한 전계 방출 소자 및 그 제조 방법에 관한 것이다.

본 발명의 양극산화 공정을 이용한 탄소 나노튜브 전계 방출 소자는 기관 상에 캐소드전극 및 절연층과 게이트전극을 적층하는 단계와, 절연층과 게이트전극을 패터닝하여 홀을 형성하는 단계와, 홀에 충전되도록 함과 아울러 절연층과 게이트전극을 덮도록 금속층을 기관 상에 증착하는 단계와, 금속층을 양극산화함으로써 금속층 내에 다수의 미세공을 형성하는 단계와, 금속층에 형성된 미세공의 기저부에 촉매천이금속을 형성하는 단계와, 촉매천이금속층 상에 탄소 나노튜브를 성장시킴으로써 이미터를 형성하는 단계와, 이미터 주변의 불필요한 금속층을 에칭하여 제거하는 단계를 포함하는 것을 특징으로 한다.

이러한 구성에 의하여, 본 발명의 양극산화 공정을 이용한 탄소 나노튜브 전계 방출 소자는 전계를 효율적으로 집중시킬 수 있으며, 누설 전류를 줄일 수 있다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래의 기관성장법의 삼전극 탄소 나노튜브 전계 방출 소자를 나타낸 단면도.

도 2는 종래의 다른 도포법의 삼전극 탄소 나노튜브 전계 방출 소자를 나타낸 단면도.

도 3 본 발명의 제1 실시예에 따른 삼전극 탄소 나노튜브 전계 방출 소자를 나타낸 단면도.

도 4는 도 3에 도시된 삼전극 탄소 나노튜브 전계 방출 소자의 제조 방법을 단계적으로 나타낸 단면도.

도 5는 본 발명의 제2 실시예에 따른 삼전극 탄소 나노 튜브 전계 방출 소자의 제조 방법을 단계적으로 나타낸 단면도.

## <도면의 주요 부분에 대한 부호의 설명>

1,8,15,27 : 하부기판	2,9,16,28 : 캐소드전극
3 : 저항층	4,17,29 : 절연층
5,18,30 : 게이트전극	6,10,20,32 : CNT 이미터
7,9,19,31 : 촉매전이금속	11 : 금속 그리드 게이트
12,25 : 형광체	13,23 : 애노드전극
14,24 : 상부기판	21,33 : 구조체(AI)
22,34 : 양극산화층	26 : 스페이서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계방출 디스플레이나 기타 진공중에서의 전자방출을 위해 이용되는 전계방출소자에 관한 것으로, 특히 카본 나노튜브를 이용하기에 적합한 전계방출소자 및 그 제조방법에 관한 것이다.

최근들어, 신물질로 각광받고 있는 카본 나노튜브(Carbon Nanotube; 이하, "CNT"라 함)는 수 nm에서 수십 nm의 아주 작은 직경의 결정구조를 갖고 아울러 내화학적 특성 및 기계적 강도가 우수하여 그의 응용이 기대되고 있다. 하나의 응용분야로서 CNT를 이용한 전계 방출 소자로의 제작이 연구되고 있는데, 특히 전계 방출 표시 소자로의 응용이 기대되고 있다. 이는 CNT를 전계 방출 소자로 이용하는 경우 전자 방출 전압을 크게 낮출 수 있으므로 기존의 스피트형 팁이나 실리콘 팁등과 같은 전계방출소자를 이용하는 것보다 구동전압을 낮출 수 있을 뿐만 아니라 CNT의 내화학적 특성 및 기계적 강도가 우수하여 신뢰성이 좋은 소자 제작이 가능하기 때문이다. CNT의 전계 방출 전압이 낮은 이유는 직경이 nm로 아주 작아 전계 강화 효과(Field Enhancement Factor)가 커서 전자방출이 일어나는 임계전계(Turn-on Field)가  $1 \sim 5V/\mu m$ 로 낮기 때문이다.

도 1은 종래의 삼전극 CNT 전계 방출 소자를 나타낸 것이다. 도 1의 전계 방출 소자는 하부기판(1) 상에 순차적으로 적층된 저항층(3) 및 절연층(4)과 게이트전극(5)과, 게이트전극(5) 및 절연층(4)의 홈을 통해 노출된 저항층(3) 위에 형성되어진 CNT 이미터(6)를 구비한다.

CNT 이미터(6)는 게이트전극(5)으로부터 인가되는 전계에 의해 전자를 방출하게 된다. 이러한 전계 방출 소자의 제조 방법을 살펴보면, 하부기판(1) 상에 저항층(3)과 절연층(4) 및 게이트전극층(5)을 순차적으로 성막한 후 사진식각방법을 이용하여 게이트전극층(5)과 절연층(4)에 홈을 형성하게 된다. 그리고, 게이트전극(5) 및 절연층(4)의 홈을 통해 노출된 저항층(3) 상에 CNT를 성장시키기 위해 필요한 촉매전이금속(7)을 증착방법을 이용하여 성막하게 된다. 그 다음, 기판 전체를 약 600~900℃ 온도범위로 가열하여 하이드로카본(Hydrocarbon) 가스를 이용하여 촉매전이금속(7) 위에 CNT를 성장시켜 CNT 이미터(6)를 형성하게 된다.

이렇게, CNT를 고온에서 직접 기판에 성막시키는 경우 CNT는 촉매전이금속(7) 부위에만 성장하게 되므로 촉매전이금속 영역이 클수록 CNT의 성장영역이 커지게 된다. CNT 성장영역이 넓은 경우 게이트전극(5)을 통해 인가되는 전계가 집중되지 않아 방출된 전자빔이 퍼지게 되고 전자방출영역이 고르지 못하여 주로 전계가 제일 강한 게이트 홈 주변부에서만 국부적으로 전자방출이 일어나게 된다. 또한, CNT 성장영역이 넓은 경우 비대칭적인 전계 분포에 의해 전자빔이 게이트전극(5) 쪽으로 끌려가는 누설전류가 많은 문제점이 있다. 이에 따라, 촉매전이금속을 중심부에만 성막시켜 CNT를 집중시키는 것이 중요하나 전술한 전계 방출 소자 제조방법에서는 촉매전이금속을 중심부에만 성막하는 것이 어려운 문제점이 있다.

도 2는 종래의 다른 CNT 전계 방출 소자를 나타낸 것이다. 도 2의 전계 방출 소자는 하부기판(8) 상에 순차적으로 적층된 캐소드전극(9) 및 CNT 이미터(10)와, 하부기판(8)으로부터 소정의 공간을 두고 위치한 금속 그리드 게이트(11)와, 상부기판(14) 상에 순차적으로 적층된 애노드전극(13) 및 형광체(12)를 구비한다. CNT 이미터(10)는 스크린 프린팅이나 박막패턴 등의 방법으로 형성하게 된다. 다시 말하여, CNT를 분말형태로 만들어 바인더(Binder) 및 전도성 필러(Filler) 등과 혼합하여 슬러리 형태로 만든 다음 스크린 프린팅 등과 같은 방법으로 캐소드전극(9) 위에 도포하게 된다. 이어서, 바인더 제거공정을 거쳐 CNT가 밖으로 노출되게 함으로써 CNT 이미터(10)를 만들게 된다. 그리고, 하부기판(8)으로부터 소정의 공간을 띄워 금속 그리드 게이트(11)를 위치시켜 게이트전극으로 이용하게 된다. 이 경우, 금속 그리드 게이트의 홈부분과 캐소드전극(9)간의 배열이 쉽지 않을 뿐만 아니라 CNT에서 방출되는 전자들이 금속 그리드 게이트(11)를 통해 누설이 많이 되기 때문에 방출되는 전자의 효율이 저하되는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 CNT를 이용하여 전계를 효율적으로 집중시킬 수 있고 누설전류를 줄일 수 있는 삼전극구조의 전계 방출 소자를 제공하는 데 있다.

본 발명의 다른 목적은 상기 전계 방출 소자의 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 양극산화 공정을 이용한 탄소 나노튜브 전계 방출 소자는 기판 상에 캐소드전극 및 절연층과 게이트전극을 적층하는 단계와, 절연층과 게이트전극을 패터닝하여 홈을 형성하는 단계와, 홈에 충전되도록 함과 아울러 절연층과 게이트전극을 덮도록 금속층을 기판 상에 증착하는 단계와, 금속층을 양극산화함으로써 금속층 내에 다수의 미세공을 형성하는 단계와, 금속층에 형성된 미세공의 기저부에 촉매전이금속을 형성하는 단계와, 촉매전이금속층 상에 탄소 나노튜브를 성장시킴으로써 이미터를 형성하는 단계와, 이미터 주변의 불필요한 금속층을 에칭하여 제거하는 단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 4를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3을 참조하면, 본 발명의 제1 실시예에 따른 삼전극 구조의 CNT 전계 방출 소자는 하부기판(15) 상에 순차적으로 형성된 하부전극(16)과 절연층(17) 및 게이트전극(18)과, 게이트전극(18)과 절연층(17)의 홀을 통해 노출된 하부전극(16) 상에 형성된 촉매전이금속층(19)과, 촉매전이금속층(19) 상에 성장된 CNT 이미터(20)와, 상부기판(24)에 순차적으로 적층된 애노드전극(23) 및 형광체(22)를 구비한다.

도 4a 내지 도 4g는 도 3에 도시된 CNT를 이용한 전계 방출 소자의 제조방법을 단계적으로 나타낸 것이다.

우선, 도 4a에 도시된 바와 같이 하부기판(15) 상에 캐소드전극(16) 및 절연물질층(17)을 순차적으로 형성하게 한다. 하부기판(15)으로는 고온에서도 견딜 수 있는 Si, Al<sub>2</sub>O<sub>3</sub>, 몰라이트, 또는 기타 세라믹 등의 재료를 사용하게 된다. 또한, CNT를 저온에서 성막시킬 경우 유리재료를 사용할 수도 있다. 캐소드전극(16)은 Cr, Nb, Mo, W 등의 내열금속을 스퍼터링(Sputtering)이나 증착방법을 이용하여 하부기판(15)에 형성하게 된다. 고온 산화에 강한 Nb를 스퍼터링(Sputtering)을 이용하여 하부기판(15)에 증착하고, 그 위에 절연막인 SiO<sub>2</sub> 리액티브 이온 에칭(Reactive Ion Etching : 이하 "RIE"라 함) 시에 에칭 종료시간을 알기 위하여 Cr을 증착한다. 이러한 2중막을 캐소드전극(16)으로 사용한다. 이후, 포토레지스를 스핀 코팅하여 노광 및 현상을 하는 식각 공정으로 하부전극을 패터닝하는데 이때 Cr은 습식에칭을 이용하고, Nb는 CF<sub>4</sub>와 O<sub>2</sub> 혼합가스에서 RIE를 이용하여 캐소드 전극(16)을 형성한다. 절연층(17)은 산화물 또는 질화물을 사용하는데, SiO<sub>2</sub>를 반응성 스퍼터링 혹은 저압 화학기상법을 이용하여 캐소드전극(16) 상에 성막함으로써 형성하게 된다.

그 다음, 도 4b에 도시된 바와 같이 게이트 전극(18)은 캐소드전극(16)과 같은 Cr, Nb, Mo, W 등의 내열금속을 스퍼터링이나 증착방법을 이용하여 절연층(17) 상에 성막함으로써 형성하게 된다. 절연층(17) 상에 고온 산화에 강한 Nb를 스퍼터링을 이용하여 성막하고, 그 위에 절연막인 SiO<sub>2</sub> 리액티브 이온 에칭 시에 에칭 종료시간을 알기 위하여 Cr을 성막한다. 이러한 Cr과 Nb에 의한 2중막을 게이트전극(16)으로 사용한다.

이어서, 도 4c에 도시된 바와 같이 게이트전극(16)은 삼전극 구조이므로 게이트홀을 형성시킨다. 게이트전극(16)의 홀 패턴을 먼저 형성한 다음 게이트전극(16)에 형성되어진 홀을 통해 절연물질을 화학용액이나 플라즈마를 이용하여 에칭함으로써 홀이 형성된 절연막을 형성하게 된다. 이후 포토레지스를 스핀 코팅하여 노광 및 현상을 하는 식각 공정으로 게이트전극(16)을 패터닝하는데 이때 Cr은 습식에칭을 이용하고, Nb는 CF<sub>4</sub>와 O<sub>2</sub> 혼합가스에서 RIE를 이용하여 게이트전극(16)을 형성한다. 게이트 전극(16)에 형성된 절연막 홀 내부를 양극산화를 위한 구조체 Al(21)를 스퍼터링 방법으로 채운다.

도 4d를 참조하면, Al을 양극산화하는 제조방법은 다음과 같다. 우선 두꺼운 Al 박막의 표면 조도를 전해 에칭하여 개선한 후, 인산이나 옥살산 용액 중에서 Al을 양극으로 하여 약 30 - 160 V 의 직류 전압을 인가하면 미세공을 가지는 알루미늄이 형성된다. 이때 형성된 알루미늄의 높이를 게이트전극이 위치까지 맞추기 위해 2단계 이상의 양극산화 및 에칭을 반복할 수 있다. 이 과정은 성장시킬 CNT의 일정 길이를 위해서 중요하다.

다음으로 도 4e에 도시된 바와 같이 양극산화된 여러 개의 미세공 기저부에 촉매전이금속층(19)을 형성하게 된다. 이 촉매전이금속층(19)은 전기도금법을 이용하여 형성하게 되며, CNT를 선택적으로 성장하기 위한 것이다.

도 4f를 참조하면, CNT는 촉매전이금속(19)이 있는 미세공 기저부에서 선택적으로 성장하게 된다. 시편을 반응기 내부에 장입하고 반응기 온도를 약 600 - 900 ° C 범위에서 유지한 다음 연료가스인 아세틸렌에 의해 CNT는 알루미늄 높이까지 성장하게 된다. 만약 도 4g과 같이 일부 촉매전이금속(19)이 아닌 알루미늄 표면에서 성장된 비정질 등의 불순물은 산소 플라즈마 에칭으로 이를 제거할 수 있다.

CNT를 성장시킨 후 게이트 홀 내부에 존재하는 CNT 구조물인 양극산화된 알루미늄을 인산 용액으로 에칭하여 제거하면 도 4h와 같이 본 발명에 따른 양극 산화 공정을 이용한 CNT 전계방출소자의 구조가 된다. 상부기판 위에 투명 전극인 ITO(Indium Tin Oxide)를 패터닝 형성한 후 빨간색, 녹색, 파란색의 형광체(25)를 형성시킨다. 상부기판(24)과 하부기판(15) 사이에 스페이서(26)를 설치한다.

본 발명의 제2 실시예에 따른 삼전극 구조의 CNT 전계 방출 소자는 하부기판(27) 상에 캐소드전극(28) 및 절연층(29)을 순차적으로 형성하게 한다. 하부기판(27)으로는 고온에서도 견딜 수 있는 Si, Al<sub>2</sub>O<sub>3</sub>, 몰라이트, 또는 기타 세라믹 등의 재료를 사용하게 된다. 또한, CNT를 저온에서 성막시킬 경우 유리재료를 사용할 수도 있다. 캐소드전극(28)은 Cr, Nb, Mo, W 등의 내열금속을 스퍼터링(Sputtering)이나 증착방법을 이용하여 하부기판(27)에 형성하게 된다. 고온 산화에 강한 Nb를 스퍼터링(Sputtering)을 이용하여 하부기판(27)에 증착하고, 그 위에 절연막인 SiO<sub>2</sub> 리액티브 이온 에칭(Reactive Ion Etching : 이하 "RIE"라 함) 시에 에칭 종료시간을 알기 위하여 Cr을 증착한다. 이러한 2중막을 캐소드전극(28)으로 사용한다. 이후, 포토레지스를 스핀 코팅하여 노광 및 현상을 하는 식각 공정으로 하부전극을 패터닝하는데 이때 Cr은 습식에칭을 이용하고, Nb는 CF<sub>4</sub>와 O<sub>2</sub> 혼합가스에서 RIE를 이용하여 캐소드전극(28)을 형성한다. 절연층(29)은 산화물 또는 질화물을 사용하는데, SiO<sub>2</sub>를 반응성 스퍼터링 혹은 저압 화학기상법을 이용하여 캐소드전극(28) 상에 성막함으로써 형성하게 된다.

그 다음, 도 5b에 도시된 바와 같이 게이트전극(30)은 캐소드전극(28)과 같은 Cr, Nb, Mo, W 등의 내열금속을 스퍼터링이나 증착방법을 이용하여 절연층(29) 상에 성막함으로써 형성하게 된다. 절연층(29) 상에 고온 산화에 강한 Nb를 스퍼터링을 이용하여 성막하고, 그 위에 절연막인 SiO<sub>2</sub> 리액티브 이온 에칭 시에 에칭 종료시간을 알기 위하여 Cr을 성막한다. 이러한 Cr과 Nb에 의한 2중막을 게이트전극(16)으로 사용한다.

이어서, 도 5c에 도시된 바와 같이 게이트전극(30)은 삼전극 구조이므로 게이트홀을 형성시킨다. 게이트전극(30)의 홀 패턴을 먼저 형성한 다음 게이트전극(30)에 형성되어진 홀을 통해 절연물질을 화학용액이나 플라즈마를 이용하여 에칭함으로써 홀이 형성된 절연막을 형성하게 된다. 이후 포토레지스를 스핀 코팅하여 노광 및 현상을 하는 식각 공정으로 게이트전극(30)을 패터닝하는데 이때 Cr은 습식에칭을 이용하고, Nb는 CF<sub>4</sub>와 O<sub>2</sub> 혼합가스에서 RIE를 이용하여 게이트전극(30)을 형성한다. 게이트 전극(30)에 형성된 절연막 홀 내부를 양극산화를 위한 구조체 Al(33)를 스퍼터링 방법으로 채운다.

도 5d를 참조하면, Al을 양극산화하는 제조방법은 다음과 같다. 우선 두꺼운 Al 박막의 표면 조도를 전해 에칭하여 개선한 후, 인산이나 옥살산 용액 중에서 Al을 양극으로 하여 약 30 - 160 V 의 직류 전압을 인가하면 하나의 게이트홀 내에 미세공을 가지는 알루미늄이 형성된다. 이때 형성된 알루미늄의 높이를 게이트전극이 위치까지 맞추기 위해 2단계 이상의 양극산화 및 에칭을 반복할 수 있다. 이 과정은 성장시킬 CNT의 일정 길이를 위해서 중요하다.

다음으로 도 5e에 도시된 바와 같이 양극산화된 하나의 미세공 기저부에 촉매전이금속층(31)을 형성하게 된다. 이 촉매전이금속층(31)은 전기도금법을 이용하여 형성하게 되며, 하나의 CNT를 성장하기 위한 것이다.

도 5f를 참조하면, CNT는 촉매전이금속(31)이 있는 미세공 기저부에서 선택적으로 성장하게 된다. 시편을 반응기 내부에 장입하고 반응기 온도를 약 600 - 900 °

C 범위에서 유지한 다음 연료가스인 아세틸렌에 의해 CNT는 알루미늄 높이까지 성장하게 된다. 만약 도 5g과 같이 일부 촉매전이금속(31)이 아닌 알루미늄 표면에서 성장된 비정질 등의 불순물은 산소 플라즈마 에칭으로 이를 제거할 수 있다. 하나의 CNT를 성장시킨 후 게이트 홀 내부에 존재하는 CNT 구조물인 양극산화된 알루미늄을 인산 용액으로 에칭하여 제거하면 도 5h와 같이 CNT 전계방출소자의 구조가 된다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따른 탄소 나노튜브 전계 방출 소자는 양극 산화 공정의 조건에 따라 미세공의 밀도를 조절할 수 있기 때문에 하나의 게이트 홀 내부에 하나의 카본 나노튜브를 성장시킬 수 있다. 따라서, 탄소 나노튜브의 밀도가 높을 때에는 전계 집중 효과가 분산되지만, 탄소 나노튜브의 밀도가 적을 때에는 효율적으로 전계를 집중시킬 수 있다. 또한, 본 발명에 따른 탄소 나노튜브 전계 방출 소자는 전계 일정한 크기와 높이의 탄소 나노튜브가 게이트홀 중앙부에 집중되기 때문에 전계집중이 잘 되므로 낮은 전압에서도 전자방출이 될 뿐만 아니라, 수직 배열되어 게이트 전극과 항상 일정한 거리를 유지하므로 누설전류를 줄일 수 있다. 본 발명에 따른 탄소 나노튜브 전계 방출 소자는 종래의 탄소 나노튜브 전계 방출 소자에 대비하여 전자방출을 균일하게 하고, 낮은 전압에서 동작하기 위하여 빈 공간에 무작위로 탄소 나노 튜브를 성장시키지 않고, 구조체를 이용하여 균일하고 일정한 미세공을 만들 수 있다. 따라서, 양극산화 공정을 이용하여 미세공의 크기와 밀도를 제어할 수 있으므로 탄소 나노 튜브의 밀도를 제어할 수 있음은 물론, 양극산화 공정의 중착 균일성이 확보된다면 대면적에도 적용할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

#### (57) 청구의 범위

##### 청구항 1.

기판 상에 캐소드전극 및 절연층과 게이트전극을 적층하는 단계와,

상기 절연층과 게이트전극을 패터닝하여 홀을 형성하는 단계와,

상기 홀에 충전되도록 함과 아울러 상기 절연층과 게이트전극을 덮도록 금속층을 상기 기판 상에 증착하는 단계와,

상기 금속층을 양극산화함으로써 상기 금속층 내에 다수의 미세공을 형성하는 단계와,

상기 금속층에 형성된 미세공의 기저부에 촉매전이금속을 형성하는 단계와,

상기 촉매전이금속층 상에 탄소 나노튜브를 성장시킴으로써 이미터를 형성하는 단계와,

상기 이미터 주변의 불필요한 상기 금속층을 에칭하여 제거하는 단계를 포함하는 것을 특징으로 하는 탄소 나노튜브를 이용한 전계 방출 소자의 제조 방법.

##### 청구항 2.

제 1항에 있어서,

상기 양극산화된 미세공 알루미늄의 표면에서 성장된 불순물을 산소 플라즈마 에칭으로 제거하는 단계를 추가적으로 구비하는 것을 특징으로 하는 탄소 나노튜브를 이용한 전계 방출 소자의 제조 방법.

##### 청구항 3.

제 1항에 있어서,

상기 촉매전이금속은 전기도금법에 의해 형성되는 것을 특징으로 하는 탄소 나노튜브를 이용한 전계 방출 소자의 제조 방법.

##### 청구항 4.

제 1항에 있어서,

상기 금속층의 재료는 알루미늄인 것을 특징으로 하는 탄소 나노튜브를 이용한 전계 방출 소자의 제조 방법.

##### 청구항 5.

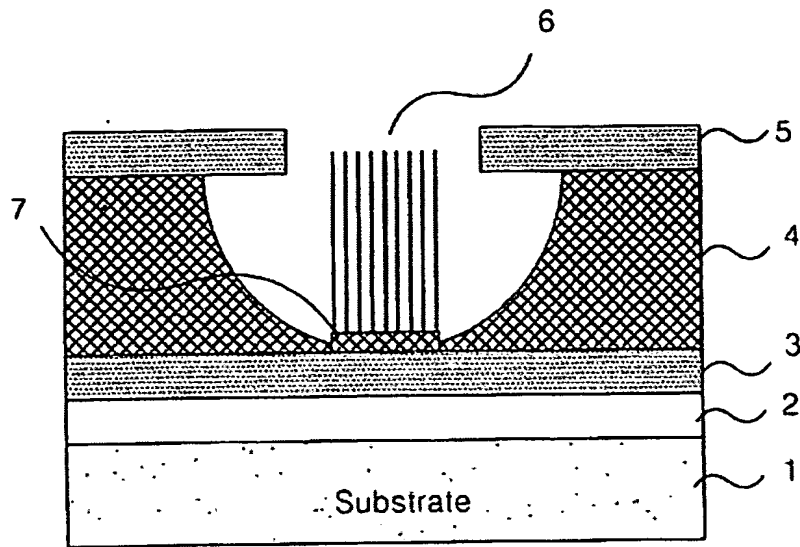
음극과 전자 인출을 위한 게이트전극이 형성되고 양극산화방법에 의해 탄소나노튜브 이미터가 형성된 전계방출 어레이가 형성된 하부기판과,

투명전극으로 된 양극과 상기 양극 상에 도포된 형광체를 포함한 상부기판을 구비하며,

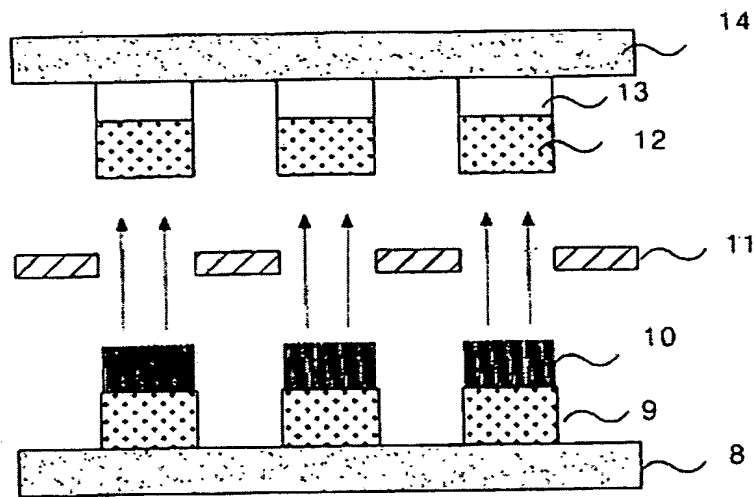
상기 하부기판과 상부기판 사이가 진공기밀을 유지하도록 함과 아울러 상기 하부기판과 상부기판의 간격이 일정하게 유지되도록 상기 하부기판과 상부기판은 스페이서를 사이에 두고 실링되는 것을 특징으로 하는 전계 방출 소자.

도면

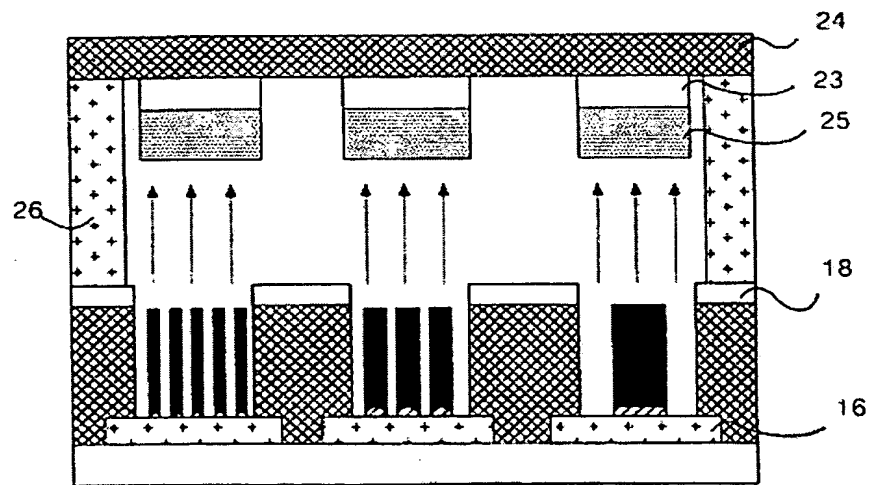
도면 1



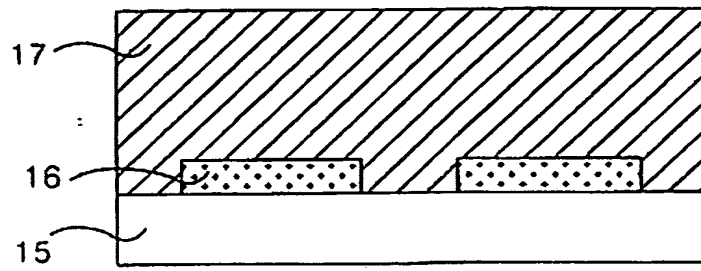
도면 2



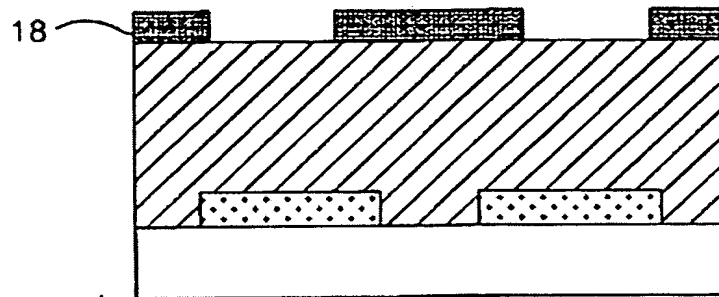
도면 3



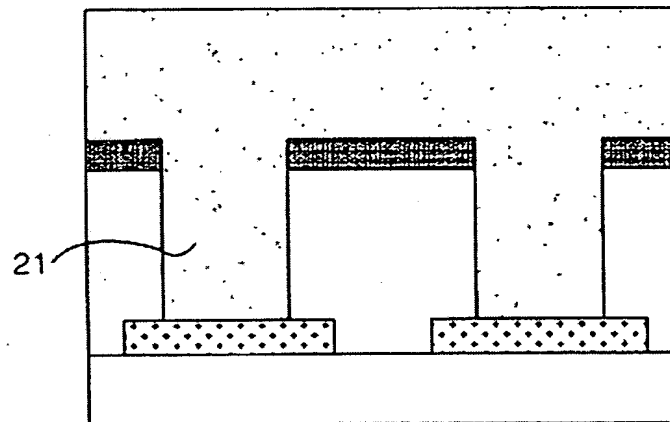
도면 4a



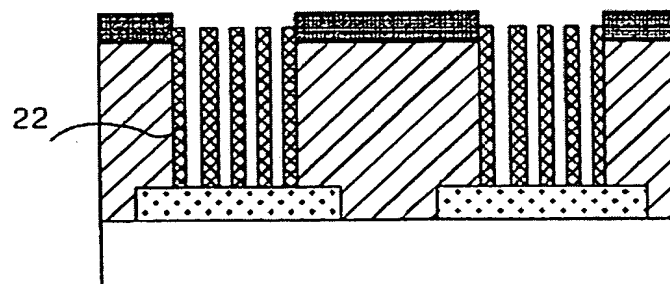
도면 4b



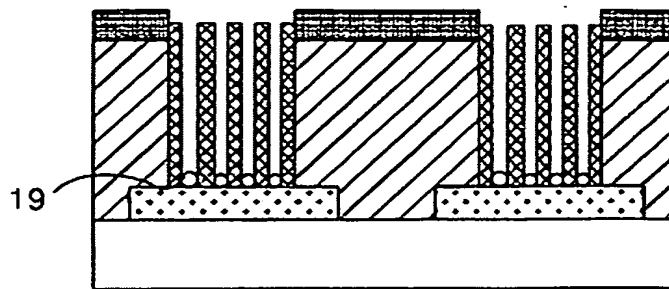
도면 4c



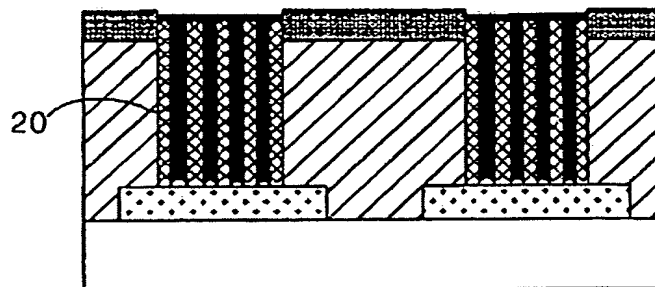
도면 4d



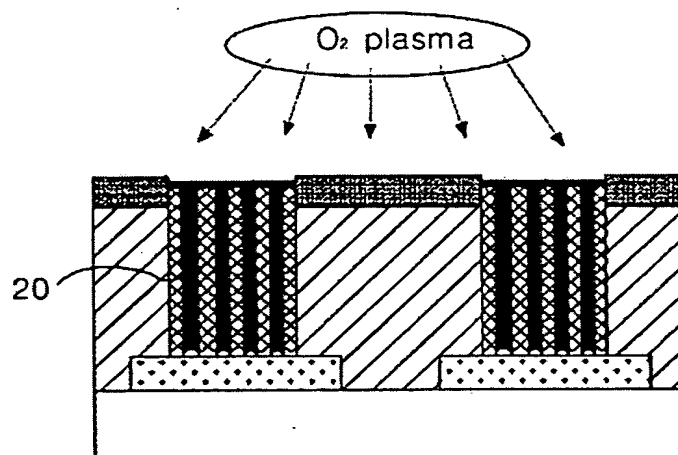
도면 4e



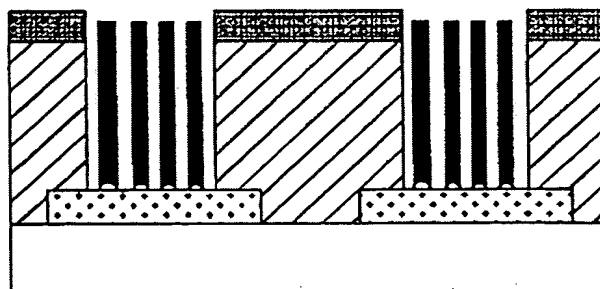
도면 4f



도면 4g

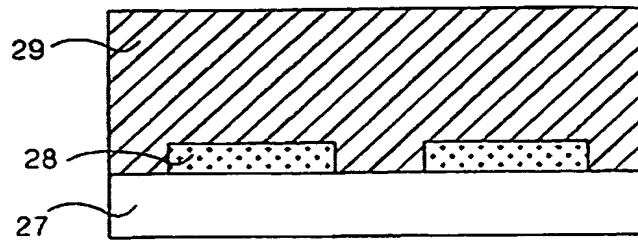


도면 4h

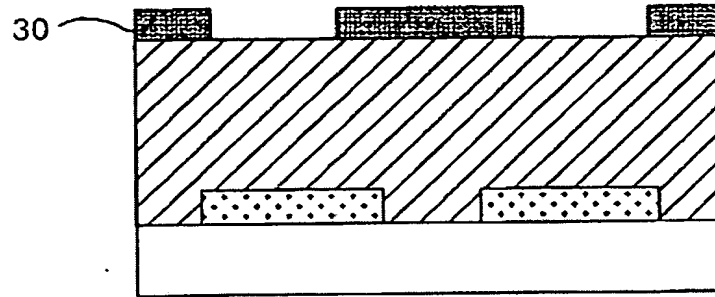




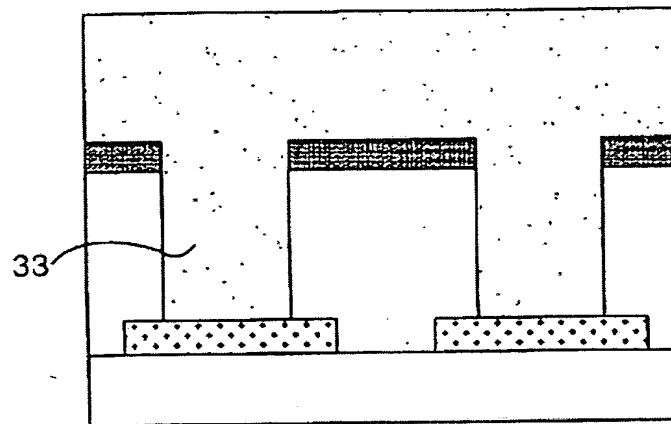
도면 5a



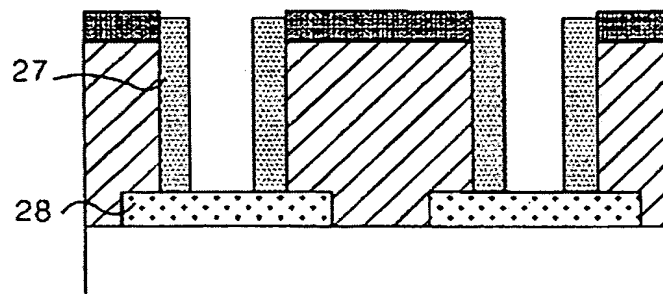
도면 5b



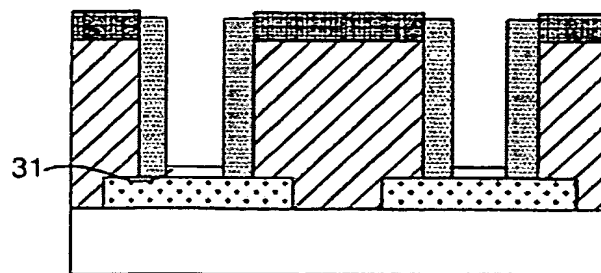
도면 5c



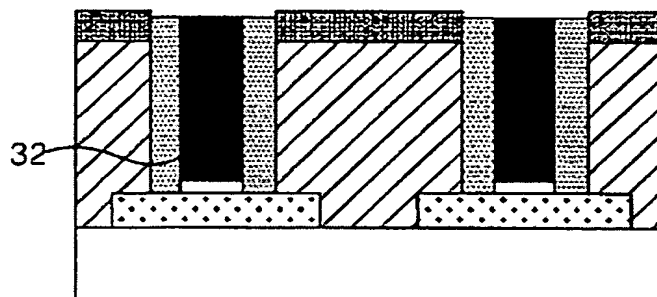
도면 5d



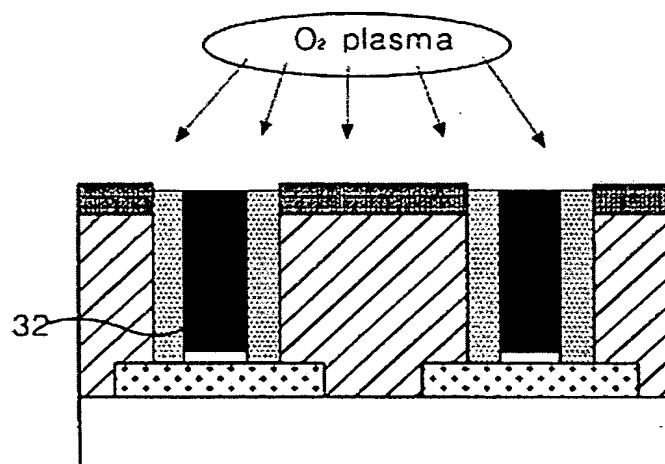
도면 5e



도면 5f



도면 5g



도면 5h

